

[Example] A thin film circuit forming method in accordance with one example of the present invention will be described hereinafter with reference to the drawings. FIG. 1 is a diagram for describing the sequence of the thin film circuit forming method in the example of the present invention. At first, a thin film inductor pattern 2 and a conductor 3 that includes a bottom electrode of a thin film capacitor are formed on a substrate 1. Next, a dielectric film 4 of the thin film capacitor is formed of dielectric material.

[0009] At that time, an interlayer insulating film 5 of the thin film inductor is formed simultaneously. A top electrode 7 of the thin film capacitor is formed finally on the dielectric film 4, and a lead wire pattern 6 is formed on the interlayer insulating film 5 of the thin film inductor.

[0010] A case in which an alumina substrate is used as the substrate, an Au/NiCr thin film is used as the electrode/conductor pattern, and tantalum oxide is used as the dielectric material in the thin film circuit forming method comprising the above-mentioned sequential steps will be described.

[0011] A thin film spiral inductor pattern formed of Au/NiCr thin film (pattern width of 100  $\mu\text{m}$ , pattern

interval of 100  $\mu\text{m}$ , and number of turns of 1) 2 and a conductor (pattern width of 100  $\mu\text{m}$ ) 3 including the bottom electrode (square electrode area of 300  $\mu\text{m}$ ×300  $\mu\text{m}$ ) of the thin film capacitor are formed on the alumina substrate 1. Next, a dielectric film 4 is formed in a square shape of 400  $\mu\text{m}$ ×400  $\mu\text{m}$  using tantalum oxide. At that time, an interlayer insulating film 5 of the thin film inductor having a pattern width of 150  $\mu\text{m}$  is formed. Finally, the top electrode (250  $\mu\text{m}$  square) 7 is formed on the dielectric film 4 and a lead wire pattern (pattern width of 100  $\mu\text{m}$ ) 6 is formed on the interlayer insulating film 5 of the thin film inductor.

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-53406

(43)公開日 平成6年(1994)2月25日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/01	3 1 1	8418-4M		
H 0 1 F 17/00		A 7129-5E		
H 0 1 G 4/40	3 2 1	9174-5E		
H 0 1 L 27/04		L 8427-4M		
		C 8427-4M		

審査請求 未請求 請求項の数1(全 3 頁) 最終頁に続く

(21)出願番号 特願平4-200767

(22)出願日 平成4年(1992)7月28日

(71)出願人 000005821

松下電器産業株式会社  
大阪府門真市大字門真1006番地

(72)発明者 村井 智彦

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 竹林 幹男

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74)代理人 弁理士 小銀治 明 (外2名)

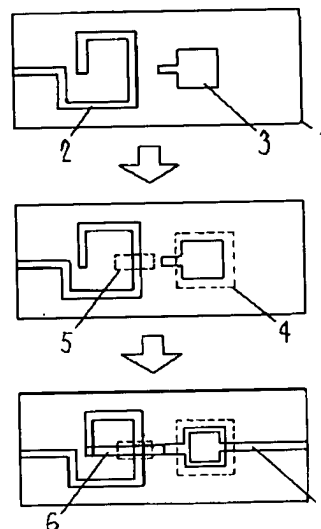
## (54)【発明の名称】 薄膜回路形成法

## (57)【要約】

【目的】 半導体装置や薄膜回路製造のために用いる回路形成方法において、工程数の少ない、信頼性の高い薄膜回路形成法を提供するものである。

【構成】 薄膜回路を形成していく工程において、薄膜キャパシタの誘電体膜4と、薄膜インダクタの層間絶縁膜5を同時に成膜することにより、工程数を減らし、かつ信頼性の高い薄膜回路を形成することが可能となる。

1---基板  
2---インダクタパターン  
3---導体  
4---誘電体膜  
5---層間絶縁膜  
6---引き出し線パターン  
7---上層電極



## 【特許請求の範囲】

【請求項1】 薄膜キャパシタの誘電体膜と薄膜インダクタの層間絶縁膜とを同一材料を用いて成膜することを特徴とする薄膜回路形成法。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置や薄膜回路製造のために用いる回路形成法に関するものである。

【0002】

【従来の技術】 近年、薄膜回路形成法の発展には著しいものがある。従来の技術としては、薄膜キャパシタと薄膜インダクタを含む薄膜回路を形成する場合、薄膜インダクタの端と引き出し線とは全線等のワイヤで接続されていた。以下図面を参照しながら、上述した薄膜回路形成法について薄膜キャパシタの下部電極から引き出された導体と薄膜インダクタの端とを接続する場合について説明する。

【0003】 図2は従来の薄膜回路形成法の手順を示すものである。始めに基板8上に薄膜インダクタパターン10と薄膜キャパシタの下部電極を含む導体9が形成される。次に薄膜キャパシタの誘電体膜11が形成され、その誘電体膜の上に薄膜キャパシタの上部電極12が形成される。そして最後に薄膜インダクタパターン10の端と導体9がAuワイヤで接続される。

【0004】

【発明が解決しようとする課題】 しかしながら、上記の方法による薄膜回路形成の場合、Auワイヤによる接続のための装置を必要とし、工程が長くなるという問題を有していた。さらに、接続媒体がワイヤのため信頼性が悪いという問題も有していた。

【0005】 本発明は上記課題に鑑み、工程数の少ない、信頼性の高い薄膜回路形成法を提供するものである。

【0006】

【課題を解決するための手段】 上記課題を解決するために、本発明の薄膜回路形成法は、薄膜キャパシタの誘電体膜を形成する際に、薄膜インダクタの層間絶縁膜を同一材料にて形成することを特徴とする。

【0007】

【作用】 本発明は上記した工程によって、薄膜キャパシタの上部電極形成の際に、薄膜インダクタの引き出し線パターンを形成することが可能となり、ワイヤによる接続が不要となる。

【0008】

【実施例】 以下、本発明の一実施例の薄膜回路形成法について、図面を参照しながら説明する。図1は、本発明の実施例における薄膜回路形成法の手順を示すものである。始めに、基板1上に薄膜インダクタパターン2と薄膜キャパシタの下部電極を含む導体3が形成される。次

に誘電体材料を用いて、薄膜キャパシタの誘電体膜4を形成する。

【0009】 その際、同時に薄膜インダクタの層間絶縁膜5を形成する。最後に誘電体膜4の上に薄膜キャパシタの上部電極7を形成し、薄膜インダクタの層間絶縁膜5の上に引き出し線パターン6を形成する。

【0010】 以上のような手順による薄膜回路形成法について、基板としてアルミナ基板、電極・導体パターンとしてAu/NiCr薄膜、誘電体として酸化タンタルを用いた場合について説明する。

【0011】 アルミナ基板1上に、Au/NiCr薄膜により薄膜スパイラルインダクタパターン（パターン幅100μm、パターン間隔100μm、巻数1）2と、薄膜キャパシタの下部電極（電極面積300μm角）を含む導体（パターン幅100μm）3が形成される。次に酸化タンタルを用いて、薄膜キャパシタの誘電体膜4を400μm角の形状にて形成する。その際同時に薄膜インダクタの層間絶縁膜5をパターン幅150μmにて形成する。最後に、誘電体膜4上に薄膜キャパシタの上部電極（250μm角）7および薄膜インダクタの層間絶縁膜5上に引き出し線パターン（パターン幅100μm）6が形成される。

【0012】 以上のように本実施例によれば、薄膜キャパシタの誘電体膜形成の際に薄膜インダクタの層間絶縁膜を同一材料にて形成することにより、薄膜キャパシタの上部電極形成と薄膜インダクタの引き出し線パターンを同時に形成することが可能となり、ワイヤによる接続が不要となる。

【0013】

【発明の効果】 以上のように本発明によれば、薄膜キャパシタの誘電体膜形成の際に薄膜インダクタの層間絶縁膜を形成することにより、薄膜キャパシタの上部電極形成と薄膜インダクタの引き出し線パターンを同時に形成することが可能となり、ワイヤによる接続が不要となる。

【0014】 なお、層間絶縁膜をスパイラルインダクタパターン全体に敷きつめてスパイラルインダクタパターンの2層化も可能となる。

## 【図面の簡単な説明】

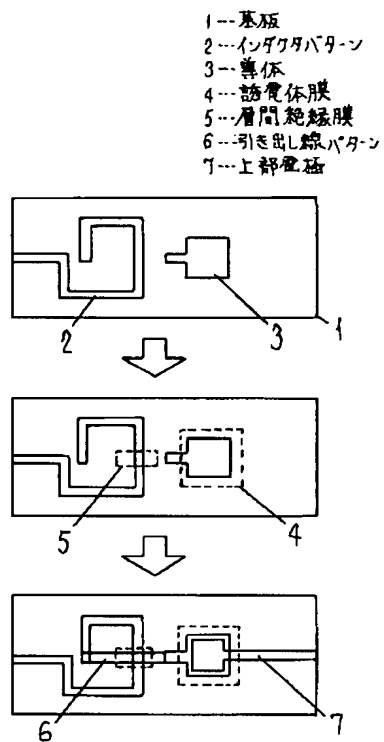
【図1】 本発明の一実施例における薄膜回路形成法の手順を示す工程図

【図2】 従来の薄膜回路形成法の手順を示す工程図

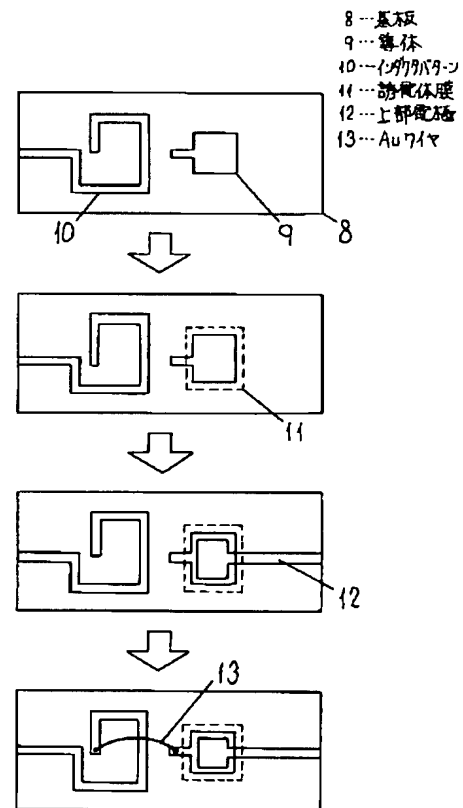
## 【符号の説明】

- 1 基板
- 2 インダクタパターン
- 3 導体
- 4 誘電体膜
- 5 層間絶縁膜

【図1】



【図2】



フロントページの続き

(51) Int. Cl.<sup>5</sup>

H 0 5 K 1/16

識別記号

庁内整理番号

A 6921-4E

F I

技術表示箇所

【公報種別】 公開特許公報の訂正

【部門区分】 第 7 部門第 2 区分

【発行日】 平成 8 年（1 9 9 6） 5 月 2 1 日

【公開番号】 特開平 6－5 3 4 0 6

【公開日】 平成 6 年（1 9 9 4） 2 月 2 5 日

【年通号数】 公開特許公報 6－5 3 5

【出願番号】 特願平 4－2 0 0 7 6 7

【訂正要旨】 選択図脱落につき下記の通り全文を訂正する。

【国際特許分類第 6 版】

H01L 27/01 311 8418-4M

H01F 17/00 A 8123-5E

H01G 4/40

H01L 21/822

27/04

H05K 1/16 A 7726-4E

【F I】

H01G 4/40 321 9174-5E

H01L 27/04 L 8832-4M

H01L 27/04 C 8832-4M

【記】 別紙のとおり